

(19) Japan Patent Office (JP)

(12) Published Patent Application (A)

(11) Patent Application Laid-Open No.: H2-44769

(43) Laid-Open Date: February 14th, 1990

(51) Int. Cl.<sup>5</sup> Identification Symbol Internal File Number

H 01 L 27/12 A 7514-5F

G 02 F 1/136 500 7370-2H

8624-5F H 01 L 29/78 311 A\*

Request of Examination: not filed

The Number of Claims: 7 (6 pages in total)

(54) [Name of Invention] Thin Film Transistor

(21) Application No.: S63-194422

(22) Application Date: August 5th, 1988

(72) Inventor: Etsuko KIMURA

c/o Hitachi Research Laboratory, Hitachi Ltd.

4026, Kuji-cho, Hitachi, Ibaraki

(72) Inventor: Akio MIMURA

c/o Hitachi Research Laboratory, Hitachi Ltd.

4026, Kuji-cho, Hitachi, Ibaraki

(72) Inventor: Dai WATANABE

c/o Hitachi Research Laboratory, Hitachi Ltd.

4026, Kuji-cho, Hitachi, Ibaraki

(72) Inventor: Takashi SUZUKI

c/o Hitachi Research Laboratory, Hitachi Ltd.

4026, Kuji-cho, Hitachi, Ibaraki

(71) Applicant: Hitachi Ltd.

4-6, Kanda Surugadai, Chiyoda-ku, Tokyo

(74) Representative: Patent Attorney Katsuo Ogawa (and two others)

continued to the last page

Specification

1. Name of Invention

Thin Film Transistor

2. Scope of Claim

1. A thin film transistor comprising a semiconductor layer formed of polycrystal silicon or amorphous silicon,

wherein an interlayer insulating film between a gate electrode and a display electrode is formed of a stacked-layer structure of two or more layers formed of at least two insulating films with different characteristics;

wherein at least one or more layers of the interlayer insulating film has a charge holding capacitor sandwiched between a pixel electrode connected to the display electrode and a bottom electrode formed of a transparent conductive film provided under the interlayer insulating film;

wherein the number of stacked insulating films is smaller in the charge holding capacitor than the interlayer insulating film; and

wherein a thickness of the interlayer insulating film is thicker than the insulating film of the charge holding capacitor.

2. The thin film transistor according to claim 1,

wherein the interlayer insulating film has a stacked-layer structure of a plurality of kinds of insulating films with different etching resistance; and

wherein the insulating films are combined so that a lower layer has superior etching resistance to an upper layer.

3. The thin film transistor according to claim 1,

wherein a first layer of the interlayer insulating film is a  $\text{SiO}_2$  film formed by an ECR microwave plasma CVD method; and

wherein a second layer is a  $\text{SiO}_2$  film or a PSG film formed by a normal pressure CVD method.

4. The thin film transistor according to claim 1,

wherein the first layer of the interlayer insulating film is a  $\text{SiO}_2$  film formed by the normal pressure CVD method; and

wherein the second layer is a PSG film formed by the normal pressure CVD method.

5. The thin film transistor according to claim 1,

wherein the first layer of the interlayer insulating film is a SiNx film formed by the plasma CVD method; and

wherein the second layer is a SiO<sub>2</sub> film or a PSG film formed by the normal pressure CVD method.

6. The thin film transistor according to claim 1,

wherein the first layer of the interlayer insulating film is a SiO<sub>2</sub> film or a PSG film formed by the normal pressure CVD method;

wherein the second layer is a SiNx film formed by the plasma CVD method; and

wherein a third layer is a SiO<sub>2</sub> film or a PSG film formed by the normal pressure CVD method.

7. The thin film transistor according to claim 1,

wherein the first layer of the interlayer insulating film is a SiO<sub>2</sub> film or a PSG film formed by the normal pressure CVD method;

wherein the second layer is a SiO<sub>2</sub> film formed by the ECR microwave plasma CVD method; and

wherein the third layer is a SiO<sub>2</sub> film or a PSG film formed by the normal pressure CVD method.

### 3. Detailed Description of the Invention

#### [Industrial Field of the Invention]

The invention relates to a thin film transistor which can be used as a driving transistor or the like of a flat panel display of liquid crystals, electroluminescence, and the like.

#### [Prior Art]

In recent years, an active matrix liquid crystal display using thin film transistors (hereinafter abbreviated as TFTs) has been actively developed as a next generation flat panel color display with a large display and high definition. FIG. 2 shows an example of an equivalent circuit of one pixel formed by an active matrix method. Reference numerals 21 and 22 denote gate wires of i-th and (i + 1)th columns,

23 and 24 denote drain wires of  $j$ -th and  $(j + 1)$ -th rows, and 25 denotes a common wire of the  $j$ -th row, respectively. Further, 26 denotes a switching TFT of the  $i$ -th column and  $j$ -th row, 27 denotes a charge holding capacitor, and 28 denotes a capacitor of the liquid crystal itself. In the same drawing, the charge holding capacitor 27 functions to compensate the degradation of display quality caused by a leak current increased by a resistance reduction of the liquid crystals and an increased off current of the TFT. FIG 3 shows cross sectional structures and manufacturing steps of a TFT with a conventional structure having a charge holding capacitor. A semiconductor layer island 302 formed of a polycrystal silicon film is formed over a glass substrate 301 (FIG 3(a)). Next, a gate oxide film 303 and a second polycrystal silicon film 304 are formed by the CVD method over the semiconductor layer 302 and patterned by photo-etching to form a gate electrode shape (FIG 3(b)). Then, source-drain regions 305 are formed by ion implantation, thermal diffusion, or the like. Subsequently, a metal film of Al or the like is deposited and a first layer electrode wire 306a (a gate wire and a common wire) is formed by photo-etching. Then, a transparent conductive film of an ITO film or the like is deposited and patterned by photo-etching to form a bottom electrode 307a of the charge holding capacitor (FIG 3(c)). Subsequently, an interlayer insulating film 308 is formed and contact holes 309 are formed by photo-etching (FIG 3(d)). Next, after depositing a metal film of Al or the like, a second layer electrode wire 306b (drain wire) is formed by photo-etching (FIG 3(e)). Finally, a transparent conductive film of an ITO film or the like is deposited and patterned by photo-etching to form a pixel electrode 307b, thereby a charge holding capacitor is formed (FIG 3(f)). In the structure of FIG 3f, the interlayer insulating film 308 is used as it is as an insulating film of a charge holding capacitor. The interlayer insulating film 308 is required to have a sufficient thickness of about  $1\ \mu\text{m}$  to prevent leakage between wires in a gate portion and a crossed portion and to secure sufficient pressure resistance. On the other hand, a capacitor film of the charge holding capacitor portion is required to be large and an insulating film of the charge holding capacitor portion is required to be sufficiently thin to obtain sufficient display characteristics and operation characteristics. (When capacitance about ten times as large as the capacitor of the liquid crystal itself is

compensated by the charge holding capacitor, the charge holding capacitor is required to have a capacitance of 15 pF since the capacitance of the liquid crystal itself is about 1.5 pF when an area of the pixel display portion is  $10000 \mu\text{m}^2$ . In the case of using a  $\text{SiO}_2$  film as the interlayer insulating film, the  $\text{SiO}_2$  film is required to have a thickness of about  $2500 \text{ \AA}$  to realize this capacitance.) By the aforementioned reason, a novel technique is required to form the interlayer insulating film of the gate portion and the crossed portion sufficiently thick and the insulating film of the charge holding capacitor sufficiently thin. The easiest resolution is to form the interlayer insulating film 308 in FIG. 3(d) and then make the thickness of the interlayer insulating film 308 in only the charge holding capacitor portion by photo-etching. However, a PSG film or the like formed by the CVD method is used as the interlayer insulating film 308 in general. These films have high etching rates against a fluorinated acid-based etchant or the like; therefore, it is hard to control the etching. Thus, it is actually difficult to finish etching with a desired thickness.

As a method to achieve the aforementioned purposed without using the aforementioned method, Japanese Patent Document S58-106861 can be suggested. FIG. 4 shows an embodiment thereof. First, a semiconductor island 402 formed of a polycrystal silicon film is formed over a transparent substrate 401 (FIG. 4(a)). A surface of the polycrystal silicon is oxidized to form a gate insulating film 403, a second polycrystal silicon film is formed, and then a gate electrode 404 and a bottom electrode shape 405 of a charge holding capacitor are formed by photo-etching (FIG. 4(b)). Subsequently, regions 404, 405, and 406 undergo impurity doping, then the interlayer insulating film 407 is formed over a whole surface by the CVD method, and the interlayer insulating film over the bottom electrode 405 is removed by photo-etching (FIG. 4(c)). Next, an insulating film 408 of the charge holding capacitor is formed by oxidizing the surface of the bottom electrode 405 in this state (FIG. 4(d)). The following steps are similar to FIGS. 3(d) to 3(f). By this method, the aforementioned purpose can be achieved tentatively. However, the insulating film of the charge holding capacitor is formed by oxidizing polycrystal silicon; therefore, a polycrystal silicon film is used as the bottom electrode 405 of the charge holding capacitor by this

method. Thus, transmittance of the pixel display portion is inevitably decreased. A method to deposit a  $\text{SiO}_2$  film by the CVD method is also suggested as a method to form the insulating film 408 of the charge holding capacitor portion. However, in the step of removing the interlayer insulating film 407 formed over the bottom electrode 405 in FIG. 4(c), it is inevitable to use a polycrystal silicon film as the bottom electrode since the transparent conductive film of an ITO film or the like does not have resistance against a general acid, especially a fluorinated acid-based etchant which is used as an etchant of the interlayer insulating film. As a result, reduction of the transmittance of the pixel display portion cannot be avoided.

[Problems to be Solved by the Invention]

As described above, it is difficult by the conventional technique to form the interlayer insulating film in the gate portion and the crossed portion sufficiently thick and to form the insulating film over the bottom electrode formed of a transparent conductive film of an ITO film or the like sufficiently thin with good controllability. Therefore, it is difficult to realize a highly reliable thin film transistor with favorable display characteristics and operation characteristics with preferable yield. A purpose of the invention is to form the interlayer insulating film in the gate portion and the crossed portion sufficiently thick and to form the insulating film of the charge holding capacitor portion sufficiently thin with good controllability in the polycrystal silicon TFT having the charge holding capacitor using a transparent conductive film with superior transmittance, such as an ITO film. Thus, the purpose is to realize a highly reliable polycrystal silicon TFT with favorable display characteristics and operation characteristics with preferable yield.

[Means for Solving the Problems]

The aforementioned purpose can be achieved by forming a plurality of insulating films with different etching resistance so that a lower layer has a superior etching resistance to an upper layer, and forming an insulating film of the capacitor portion over the bottom electrode formed of a transparent conductive film of an ITO film or the like by selectively removing a portion of it only in the charge holding capacitor by utilizing the different etching resistance.

## [Effect]

By stacking a plurality of insulating films with different etching resistance to form an interlayer insulating film so that a lower layer has a superior etching resistance to an upper layer and selectively removing a portion of it only in the charge holding capacitor portion by utilizing the different resistance, the interlayer insulating film can be formed thick and the insulating film of the capacitor portion can be formed thin with good controllability even when a transparent conductive film of an ITO film or the like is used as the bottom electrode of the charge holding capacitor. Consequently, a capacitor having sufficient capacitance to display images can be easily formed without occurring defects such as a leakage, a short-circuit, and the like of the wires in the gate portion and the crossed portion, thereby a highly reliable thin film transistor with favorable display characteristics and operation characteristics can be realized with preferable yield.

## [Embodiments]

Hereinafter, an embodiment of the invention is described with reference to FIG. 1. FIG. 1 shows cross sectional views and manufacturing steps of a polycrystalline silicon TFT as an embodiment of the invention. A  $\text{SiO}_2$  film formed by the ECR microwave plasma CVD method is used as a first layer interlayer insulating film and a PSG film formed by the normal pressure CVD method is used as a second layer interlayer insulating film as an example. The  $\text{SiO}_2$  film obtained by the ECR microwave plasma CVD method is dense and has an almost equivalent etching rate against a fluorinated acid-based etchant to the  $\text{SiO}_2$  film formed by thermal oxidation. On the other hand, the PSG film formed by the normal pressure CVD method is porous in general and has quite a high etching rate against a fluorinated acid-based etchant. (When the etching rate of the ECR microwave plasma CVD- $\text{SiO}_2$  film is 1, the etching rate of the normal pressure CVD-PSG film is 10 to 20.) A selectivity of the first and second layers of the interlayer insulating film against a fluorinated acid-based etchant is sufficiently high, thereby the second layer normal pressure CVD-PSG film only can be selectively removed by etching and the thickness of the insulating film of the charge holding capacitor portion can be formed sufficiently thin with good controllability. In addition,

as the first layer ECR microwave plasma CVD-SiO<sub>2</sub> film which directly contacts the bottom electrode of the charge holding capacitor portion is not required to be removed, a transparent conductive film of an ITO film or the like without resistance against a fluorinated acid-based etchant can be used as the bottom electrode.

It is to be noted that similar can be applied to dry etching as well since a fluorinated acid-based gas is used as an etching gas.

Hereinafter the manufacturing steps are described. First, a semiconductor layer island 102 formed of a polycrystal silicon film is formed over a glass substrate 101 (FIG. 1(a)). Next, a gate oxide film 103 and a second polycrystal silicon film 104 are formed by the normal pressure CVD method over the semiconductor layer 102 and patterned by photo-etching to form a gate electrode shape. Then, a source-drain region 105 is formed by ion implantation. Subsequently, a metal film of Al or the like is deposited and a first layer electrode wire 106a is formed by photo-etching. Then, a transparent conductive film of an ITO film or the like is deposited and patterned by photo-etching, thereby a bottom electrode 107a of a charge holding capacitor is formed (FIG. 3(b)). The steps up to here are the same as the manufacturing steps shown in FIG. 3(a) to (c) of the polycrystal silicon TFT with the conventional structure. Next, the normal pressure CVD-PSG film 109 as the first layer interlayer insulating film is formed over a whole surface with a desired thickness as an interlayer insulating film in the gate portion and the crossed portion. Subsequently, the normal pressure CVD-PSG film is selectively removed in only the charge holding capacitor portion by photo-etching, utilizing the superior etching resistance of the ECR microwave plasma CVD-SiO<sub>2</sub> film to the normal pressure CVD-PSG film (FIG. 3(d)). The following steps are the same as FIGS. 3(d) to 3(f). That is, contact holes are formed by photo-etching and a metal film of Al or the like is deposited, thereby a second layer electrode wire 106b is formed by photo-etching (FIG. 1(e)). Finally, a transparent conductive film of an ITO film or the like is deposited and patterned by photo-etching to form a pixel electrode 307b, thereby a charge holding capacitor is formed (FIG. 1(f)).

In the aforementioned embodiment, the first and second layers of the interlayer insulating film are to be combined so that the first layer has a superior etching resistance

to the second layer so that the second layer only can be selectively etched. For example, a combination of an ECR microwave plasma CVD-SiO<sub>2</sub> film as the first layer and a normal pressure CVD-SiO<sub>2</sub> film as the second layer, a combination of a normal pressure CVD-SiO<sub>2</sub> film as the first layer and a normal pressure CVD-PSG film as the second layer, a combination of a plasma CVD-SiNx film as the first layer and a normal pressure CVD-SiO<sub>2</sub> film or a normal pressure CVD-PSG film as the second layer, and the like can be suggested.

Moreover, in the aforementioned embodiment, the interlayer insulating film may have a stacked-layer structure of three layers by using an insulating film with superior etching resistance as the second layer of the interlayer insulating film and using this insulating film as an etching stopper. In this case, an insulating film of the charge holding capacitor portion is formed of the first and second layers of the interlayer insulating film. For example, a combination of a normal pressure CVD-SiO<sub>2</sub> film or a normal pressure CVD-PSG film as the first layer, an ECR microwave plasma CVD-SiO<sub>2</sub> film or a plasma CVD-SiNx film as the second layer, and a normal pressure CVD-SiO<sub>2</sub> film or a normal pressure CVD-PSG film as the third layer, and the like can be suggested.

#### [Effect of the Invention]

By the invention, even when a transparent conductive film such as an ITO film with superior transmittance is used as a bottom electrode of the charge holding capacitor, the interlayer insulating film can be formed thick and the charge holding capacitor portion can be formed thin with good controllability. Therefore, a capacitor having sufficient capacitance for displaying images can be easily formed without occurring defects of wires in the gate portion and the crossed portion. As a result, a highly reliable thin film transistor with favorable display characteristics and operation characteristics can be formed with preferable yield.

#### 4. Brief Description of the Drawings

FIG. 1 shows cross sectional structures and manufacturing steps of a polycrystal silicon TFT of the embodiment of the invention. FIG. 2 shows an equivalent circuit diagram of one pixel formed by the active matrix method. FIGS. 3

and 4 show cross sectional structures and manufacturing steps of a polycrystal silicon TFT having a conventional structure.

101... glass substrate, 102 and 104... polycrystal silicon films, 103... normal pressure CVD-SiO<sub>2</sub> film, 106a and 106b... Al wires, 107a and 107b... ITO films, 108... ECR microwave plasma CVD-SiO<sub>2</sub> film, 109... normal pressure CVD-PSG film, 105... source-drain region forming portion

Representative: Patent Attorney Katsuo Ogawa

continued from the first page

(51)Int.Cl. <sup>5</sup>	Identification Symbol	Internal File Number
H 01 L 21/205		7739-5F
29/784		

(72)Inventor: Masao YOSHIMURA

c/o Hitachi Research Laboratory, Hitachi Ltd.  
4026, Kuji-cho, Hitachi, Ibaraki

- (10)【発行国】日本国特許庁(JP)  
 (12)【公報種別】公開特許公報(A)  
 (11)【公開番号】特許平2-44769  
 (42)【公開日】平成2年(1990)2月14日  
 (54)【発明の名称】薄膜トランジスタ  
 (51)【国際特許分類第5版】

H01L 27/12

G02F 1/135 500

H01L 21/205

H01L 29/784

【審査請求】\*

【全頁数】6

(21)【出願番号】特願昭63-194422

(22)【出願日】昭和63年(1988)8月5日

(71)【出願人】

【識別番号】999999999

【氏名又は名称】株式会社日立製作所

【住所又は居所】\*

(72)【発明者】

【氏名】木村悦子

【住所又は居所】\*

(72)【発明者】

【氏名】三村秋男

【住所又は居所】\*

(72)【発明者】

【氏名】渡辺大

【住所又は居所】\*

(72)【発明者】

【氏名】鈴木達

【住所又は居所】\*

(57)【要約】本公報は電子出願前の出願データであるため要約のデータは記録されません。

【特許請求の範囲】

- 1、半導体層に多結晶シリコン又はアモルファスシリコンを用いた薄膜トランジスタにおいて、ゲート電極と表示電極との間の層間絶縁膜が少なくとも2種類の特性の異なる絶縁膜で形成された2層以上の積層構造から成り、該層間絶縁膜の少なくとも1層以上が、表示電極に接続された画素電極と、該層間絶縁膜の下部に設けた透明導電膜より成る下部電極との間にはさまれて成る電荷保持用キャパシタを有し、かつ、該層間絶縁膜よりも該電荷保持用キャパシタ部の絶縁膜の積層数が少なく、該層間絶縁膜の膜厚が該電荷保持用キャパシタ部の絶縁膜の膜厚よりも厚いことを特徴とする薄膜トランジスタ。
- 2、層間絶縁膜が、エッチング耐性の異なる複数種の絶縁膜を積層した構造で、下層が上層よりエッチング耐性が優れている絶縁膜の組合せで構成されていることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
- 3、層間絶縁膜の第一層がECRマイクロ波プラズマCVD法により形成したSiO<sub>2</sub>膜、第二層が常圧CVD法により形成したSiO<sub>2</sub>膜又はPSG膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
- 4、層間絶縁膜の第一層が常圧CVD法により形成したSiO<sub>2</sub>膜、第二層が常圧CVD法により形成したPSG膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
- 5、層間絶縁膜の第一層がプラズマCVD法により形成したSiN<sub>x</sub>膜、第二層が常圧CVD法により形成したSiO<sub>2</sub>膜又はPSG膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
- 6、層間絶縁膜の第一層が常圧CVD法により形成したSiO<sub>2</sub>膜又はPSG膜、第二層がプラズマCVD法により形成したSiN<sub>x</sub>膜、第三層が常圧CVD法により形成したSiO<sub>2</sub>膜又はPSG膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
- 7、層間絶縁膜の第一層が常圧CVD法により形成したSiO<sub>2</sub>膜又はPSG膜、第二層がECRマイクロ波プラズマCVD法により形成したSiO<sub>2</sub>膜、第三層が常圧CVD法により形成したSiO<sub>2</sub>膜又はPSG膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

⑩日本国特許庁(JP)

⑩特許出願公開

## ⑩公開特許公報(A) 平2-44769

⑩Int. Cl.<sup>3</sup> 識別記号 序内整理番号 ⑩公開 平成2年(1990)2月14日  
 H 01 L 27/12 500 A 7514-5F  
 G 02 F 1/136 7370-2H  
 9624-5F H 01 L 29/76 311 A※  
 審査請求 未請求 請求項の数 7 (全6頁)

⑩発明の名称 薄膜トランジスタ

⑩特 願 昭63-194422

⑩出 願 昭63(1988)8月5日

⑩発 明 者 木 村 悦 子 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
 究所内  
 ⑩発 明 者 三 村 秋 男 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
 究所内  
 ⑩発 明 者 渡 辺 大 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
 究所内  
 ⑩発 明 者 鈴木 隆 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
 究所内  
 ⑩出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
 ⑩代 理 人 弁護士 小川 勝男 外2名  
 最終頁に続く

## 明 細 書

## 1. 発明の名称

薄膜トランジスタ

## 2. 特許請求の範囲

1. 半導体層と多結晶シリコンはアモルファスシリコンを用いた薄膜トランジスタにおいて、ゲート電極と表示電極との間の層間絶縁層が少なくとも2層以上の複層構造から成り、該層間絶縁層の少なくとも1層以上が、表示電極に接続された前導電層と、該層間絶縁層の下層に接続した透明導電層より成る下部電極との間に挟まれて成る電荷保持層やキャパシタを有し、かつ、前層間絶縁層よりも該電荷保持層やキャパシタ部の絶縁層の膜厚が少なく、該層間絶縁層の底部が該電荷保持層やキャパシタ部の絶縁層の膜厚よりも厚いことを特徴とする薄膜トランジスタ。

2. 層間絶縁層が、エッチング耐性の異なる複層の絶縁層を積層した構造で、下層が上層よりエッチング耐性が低く、下層が上層より

積層されていることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

3. 層間絶縁層の第一層がSiC/Mイタロ酸プラズマCVD法により形成したSiO<sub>2</sub>膜、第二層が常圧CVD法により形成したSiO<sub>2</sub>膜又はPSG膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

4. 層間絶縁層の第一層が常圧CVD法により形成したSiO<sub>2</sub>膜、第二層が常圧CVD法により形成したPSG膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

5. 層間絶縁層の第一層がプラズマCVD法により形成したSiH<sub>4</sub>膜、第二層が常圧CVD法により形成したSiO<sub>2</sub>膜又はPSG膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

6. 層間絶縁層の第一層が常圧CVD法により形成したSiO<sub>2</sub>膜又はPSG膜、第二層がプラズマCVD法により形成したSiH<sub>4</sub>膜、第三層が常圧CVD法により形成したSiO<sub>2</sub>膜又は

## 特開平2-44769 (2)

はF80膜であることを特徴とする特許請求の範囲第1項記載の電極トランジスタ。

7. 層間絶縁膜の第一層が常圧CVD法により形成したSiO<sub>2</sub>膜又はF80膜、第二層がSiCマイコン窒素プラスマCVD法により形成したSiO<sub>2</sub>膜、第三層が常圧CVD法により形成したSiO<sub>2</sub>膜、又はF80膜であることを特徴とする特許請求の範囲第1項記載の電極トランジスタ。

## B. 発明の詳細な説明

## (産業上の利用分野)

本発明は液晶セルエレクトロ、液晶センサ等の平面ディスプレイの駆動用トランジスタ等に関与できる電極トランジスタに関する。

## (従来の技術)

近年、大面積、高解像度の活性層フラクト、パネル、カラーディスプレイとして電極トランジスタ（以下TFTと略称）を用いたアクティブマトリクス方式液晶ディスプレイの開発が進んでいる。第2図にアクティブマトリクス方式に

よる一画素の等価回路の一例を示す。21、22は1、1+1行目のゲート配線、23、24はJ、J+1列目のドレイン配線、25はJ列目のコモン配線をそれぞれ示す。また、26は1行J列目のスイッチングTFTを、27は電荷保持用キャパシタを、28は液晶素子のキャパシタを示す。両膜において、電荷保持用キャパシタ27の使用は、液晶の駆動低下、及びTFTのオフ電流の増加によるリーク電流の増加が原因である液晶品質の低下を招くことである。第3図に電荷保持用キャパシタを有する従来構造TFTの製造工程を示す。ガラス基板301上に多結晶シリコン膜から成る半導体膜の島302を形成する（第3図（a））、次に半導体膜302上にCVD法によりゲート酸化膜303及びその多結晶シリコン膜304を形成し、ホト・エッチングによりパターンニングしてゲート電極形状を形成する（第3図（b））。次いで、イオン打ち込み、又は熱拡散等によりソース、及びドレイン領域305を形成する。次いでA1等の金属膜を堆

積、ホト・エッチングにより一層目の電極配線306（ゲート配線、コモン配線）を形成し、次いでITO膜等の透明導電膜を堆積して、ホト・エッチングによりパターンニング、電荷保持用キャパシタの下層電極307aを形成する（第3図（c））。次に層間絶縁膜308を形成し、ホト・エッチングによりコンタクトホール309を形成する（第3図（d））。次にA1等の金属膜を堆積、ホト・エッチングにより2層目の電極配線306b（ドレイン配線）を形成する（第3図（e））。最後にITO膜等の透明導電膜を堆積して、ホト・エッチングによりパターンニング、前層電極307bを形成し、電荷保持用キャパシタを形成する（第3図（f））。（f）の製造では、層間絶縁膜308がそのまま電荷保持用キャパシタの誘電膜として使用されている。層間絶縁膜308はゲート部及びクロス部の配線間のリークを防止、十分な耐圧を確保するために膜厚1μm程度の十分な厚みが必要とされる。一方、十分な表示特性及び動作特性を得るためには電荷保持キャ

パシタ部の誘電膜を大きくする必要があり、電荷保持用キャパシタ部の絶縁膜の膜厚を十分厚くする必要がある。（液晶素子のキャパシタの約10倍の容量を電荷保持用キャパシタで確保する場合、両電極間の面積を10000μm<sup>2</sup>とすると、液晶素子の容量は約1.5pFとなり、電荷保持用キャパシタの容量として15pFが必要となる。面積換算としてSiO<sub>2</sub>膜を使用する場合、この容量値を実現するためには、SiO<sub>2</sub>膜の膜厚として約2500Åが必要となる。）上述の場合より、ゲート部及びクロス部の層間絶縁膜の膜厚を十分厚く、電荷保持用キャパシタ部の絶縁膜の膜厚を十分厚く形成する技術が新たに必要となる。最も安易な解決策は、第3図（d）において層間絶縁膜308形成後、ホト・エッチングにより電荷保持用キャパシタ部の層間絶縁膜308の膜厚を薄くすることである。しかしながら、一旦に層間絶縁膜308はCVD法により形成したF80膜等が使用されており、これらの膜のフッ素系エッチャント等に対するエッチングレートは遅く、エツ

## 特開平2-44769 (3)

チングの制御が難しい。そのため、両層の順序でエッチングを終了することは実際上困難である。

上記の方法によらずに上述の目的を達成する方法として特開明58-108641が挙げられる。第4図はその実施例である。まず、透明基膜401上に多結晶シリコン膜から成る半導体の島402を形成する(第4図(a))。前記多結晶シリコンの表面を酸化してゲート絶縁膜403を形成し、さらに第2の多結晶シリコン膜を形成し、ホト・エッチングによりゲート電極及び電荷保持層キャパシタの下部電極形状404、405を形成する(第4図(b))。次に404、405、406の領域に不純物ドーピングをし、次いで層間絶縁膜407をCVD法により全面に形成後、下部電極405上の層間絶縁膜をホト・エッチングにより取り除く(第4図(c))。次いで、この状態で下部電極405の表面を酸化することにより電荷保持層キャパシタの絶縁膜408を形成する(第4図(d))。以下の工程は第3図(d)~(f)と同様である。この方法によれば上述の目的は一

応達成される。しかしながら、この方法では、多結晶シリコンの酸化により電荷保持層キャパシタの絶縁膜を形成するため、電荷保持層キャパシタの下部電極405として多結晶シリコン膜を使用することになり、両層表示部の透過率の低下は避けられない。電荷保持層キャパシタ部の絶縁膜408の形成法としてCVD法によりSiO<sub>2</sub>膜を堆積する方法も提案しているが、第4図(e)において下部電極405上に形成した層間絶縁膜407を除去する工程があり、ITO膜等の透明導電膜は一般に酸、特に層間絶縁膜のエッチャントであるフッ素系エッチャントに対する耐性がないため、やはり、下部電極としての多結晶シリコン膜の使用は避けられない。従って両層表示部の透過率の低下は避けられなかった。

(発明が解決しようとする課題)

以上述べた様に、従来技術においては、ゲート部及びクロス部の層間絶縁膜の順序を十分深く、電荷保持層キャパシタ部において、ITO膜等の透明導電膜より成る下部電極上に、絶縁膜を制

性良く十分深く形成することが困難であり、したがって、表示特性及び動作特性が良好で駆動電圧の高い有機トランジスタを歩留り良く実現することが困難であった。本発明の目的は、ITO膜等の透光性に優れた透明導電膜を用いた電荷保持層キャパシタを有する多結晶シリコンでPTにおいて、ゲート部及びクロス部の層間絶縁膜の順序が十分深く、電荷保持層キャパシタ部の絶縁膜の順序が制御性良く十分深く形成することであり、これにより、表示特性及び動作特性が良好で駆動電圧の高い多結晶シリコンでPTを歩留り良く実現することである。

(課題を解決するための手段)

上記目的は、複数のエッチング耐性の異なる絶縁膜を形成し、下層を上層よりエッチング耐性の優れた絶縁膜とする関係により、エッチング耐性の違いを利用して電荷保持層キャパシタのみその一部を選択的に除去してITO膜等の透明導電膜より成る下部電極上にキャパシタ部の絶縁膜を形成することにより達成できる。

(作用)

複数のエッチング耐性の異なる絶縁膜を積層して層間絶縁膜を形成し、下層を上層より優れたエッチング耐性を有する組合せとすることにより、耐性の違いを利用して電荷保持層キャパシタ部のみその一部を選択的に除去することで、ITO膜等の透明導電膜を電荷保持層キャパシタの下部電極に用いた場合でも、層間絶縁膜の順序を良く、キャパシタ部の絶縁膜の順序を制御性良く作り形成することができる。これにより、ゲート部及びクロス部の配線のリーク、ショート等の欠陥を防止することなく、両層表示に十分な透光性を有するキャパシタを容易に形成でき、表示特性及び動作特性が良好で駆動電圧の高い有機トランジスタを歩留り良く実現できる。

(実施例)

以下、本発明の実施例を図1図を用いて説明する。第1図は本発明の一実施例である多結晶シリコンでPTの断面構造図及び製造工程であり、一層目の層間絶縁膜としてSiC系マイクロプラズ

特開平2-44768 (4)

VCVD法で形成したSiO<sub>2</sub>膜を、二層目の層間絶縁膜として常圧CVD法で形成したPSG膜を使用したのである。ECCマイタロ酸プラズマCVD法により得られるSiO<sub>2</sub>膜は、膜が均一であり、フッ素系エッチャントに対するエッチングレートも低減化により形成したSiO<sub>2</sub>膜とは異なる性質を有する。一方、常圧CVD法で形成したPSG膜は、一般に膜が多孔質であり、フッ素系エッチャントに対するエッチングレートも極めて大きい。(ECCマイタロ酸プラズマCVD-SiO<sub>2</sub>膜のエッチングレートを1とすると、常圧CVD-PSG膜のエッチングレートは10〜20である。)フッ素系エッチャントに対する一層目と二層目の層間絶縁膜の厚み比は十分であり、これにより、二層目の常圧CVD-PSG膜のみを選択的にエッチング除去して、電荷保持用キャパシタ部の絶縁膜の順序を調整でき十分得ることができる。加えて電荷保持用キャパシタ部の下部電極に直接接している一層目のECCマイタロ酸プラズマCVD-SiO<sub>2</sub>膜を除去す

る必要がないため、フッ素系エッチャントに対する耐性のないITO膜等の透明導電膜を下部電極に使用することができる。

なお、ドライエッチングにおいても、フッ素系ガスをエッチングガスに用いているため、同様のことが言える。

以下製造工程を説明する。まず、ガラス基板101上に多結晶シリコン膜から成る半導体層の島102を形成する(第1図(a))。次に、半導体層102上に常圧CVD法によりゲート酸化膜103、及び第2の多結晶シリコン膜104を形成して、ホト・エッチングによりパターンニングしてゲート電極形状を形成する。次いでイオン打ち込み等によりソース及びドレイン領域105を形成する。次にA<sub>1</sub>等の金属膜を堆積、ホト・エッチングにより一層目の電極配線106aを形成し、次いでITO膜等の透明導電膜を堆積して、ホト・エッチングによりパターンニング、電荷保持用キャパシタの下部電極107aを形成する(第2図(b))。ここまでの工程は、第3図に示し

た従来の多結晶シリコンTFTの製造工程(a)〜(e)と同一である。次に、一層目の層間絶縁膜である常圧CVD-PSG膜108を、ゲート部及びクロス部の層間絶縁膜の順序として所望の順序だけ全面に形成する。次いで、ECCマイタロ酸プラズマCVD-SiO<sub>2</sub>膜の方が常圧CVD-PSG膜よりもエッチング耐性が優れていることを利用して、ホト・エッチングにより電荷保持用キャパシタ部のみ常圧CVD-PSG膜を選択的に取り除く(第3図(d))。以下の工程は第3図(e)〜(f)と同一である。すなわち、ホト・エッチングによりコンタクトホールを形成し、次いでA<sub>1</sub>等の金属膜を堆積、ホト・エッチングにより二層目の電極配線108bを形成する(第1図(e))。最後にITO膜等の透明導電膜を堆積して、ホト・エッチングによりパターンニング、電荷保持用キャパシタを形成する(第1図(f))。

上記の実施例において、一層目と二層目の層間絶縁膜の膜厚の組み合わせは、一層目が二層目の層

間絶縁膜よりエッチング耐性が優れており、二層目の選択エッチングが可能な組合せであればよく、例えば、一層目がECCマイタロ酸プラズマCVD-SiO<sub>2</sub>膜、二層目が常圧CVD-SiO<sub>2</sub>膜、一層目が常圧CVD-SiO<sub>2</sub>膜、二層目が常圧CVD-PSG膜、一層目がプラズマCVD-SiN<sub>x</sub>膜、二層目が常圧CVD-SiO<sub>2</sub>膜又は常圧CVD-PSG膜等の組合せが考えられる。

また、上記の実施例において、層間絶縁膜の層間絶縁を3層構造として、2層目の層間絶縁膜にエッチング耐性の優れた絶縁膜を形成し、この絶縁膜をエッチングのストッパとして用いることもできる。この場合、電荷保持用キャパシタ部の絶縁膜は、一層目と二層目の層間絶縁膜で形成されることになる。例えば、一層目が常圧CVD-SiO<sub>2</sub>膜又は常圧CVD-PSG膜、二層目がECCマイタロ酸プラズマCVD-SiO<sub>2</sub>膜又はプラズマCVD-SiN<sub>x</sub>膜、三層目が常圧CVD-SiO<sub>2</sub>膜又は常圧CVD-PSG膜等

## 特開平2-44769 (5)

106a, 106b-Aを配線、107a,  
107b…ITO膜、108…EGEマイカロ被  
ブラズマCVD-SiO<sub>2</sub>膜、109…常圧  
CVD-PSG膜、105…ソース及びドレイン  
領域形成部。

代理人 井澤士 小川勝男



の組合せが考えられる。

## 〔発明の効果〕

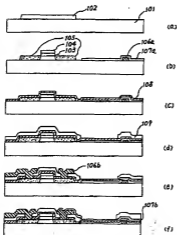
本発明によれば、ITO膜等の透光性に優れた透明導電膜を電荷保持用キャパシタの下部電極に用いた場合でも、層間絶縁膜の膜厚を厚く、電荷保持用キャパシタ部の膜厚を制御性良く薄く形成できるので、ゲート及びクロス部の配線の欠陥を発生することなく、断面高さに十分な容量値を有するキャパシタを容易に形成できる。これにより、表示特性及び動作特性が良好で信頼性の高い薄膜トランジスタを容易に形成することができる。

## 4. 図面の簡単な説明

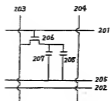
第1図は本発明の一実施例による多結晶シリコンTFTの断面構造及びその製造工程を示す図、第2図はアクティブマトリクス方式による一画素の等価回路図、第3図及び第4図は従来の普通型多結晶シリコンTFTの断面構造及びその製造工程を示す図である。

101…ガラス基層、102, 104…多結晶シリコン膜、103…常圧CVD-SiO<sub>2</sub>膜、

第1図



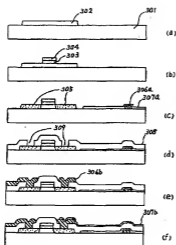
第2図



(8)

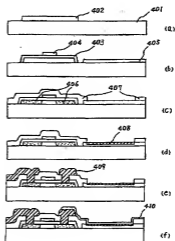
特開平2-44769

図 3 図



特開平2-44769 (8)

図 4 図



第1頁の続き

⑧Int. Cl.<sup>7</sup>

識別記号

特開平2-44769

H 01 L 21/205

7739-SF

28/784

特 開 平 告 村

種 大

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内